

DC-DC CIRCUIT

Patent Number: JP2002142452
Publication date: 2002-05-17
Inventor(s): SUZUKI MASAYUKI
Applicant(s): MITSUMI ELECTRIC CO LTD
Requested Patent: JP2002142452
Application Number: JP20000334176 20001101
Priority Number(s):
IPC Classification: H02M3/155
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a DC-DC circuit for maintaining an input voltage required for stable operation even if an output voltage drops.

SOLUTION: A voltage-dividing circuit 15, an operational amplifier 12, a transistor 13, and resistors R13 and R14 are connected to increase current flowing through a resistor R6 for generating a reference voltage (C) for determining the duty of the output voltage when an input voltage VA is equal to or less than a specific value. The voltage-dividing circuit 11 generates a reference voltage. The operational amplifier 12 outputs an output voltage according to the difference between the input voltage and the specific value from the reference voltage and the input voltage VA, and increases current flowing through the resistor R6 through the transistor 13, thus increasing the reference voltage and reducing the duty of the output voltage.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-142452

(P2002-142452A)

(43)公開日 平成14年5月17日 (2002.5.17)

(51)Int.Cl.⁷

H 02 M 3/155

識別記号

F I

H 02 M 3/155

テ-マコト^{*}(参考)

H 5 H 7 3 0

C

P

審査請求 未請求 請求項の数5 O.L (全7頁)

(21)出願番号

特願2000-334176(P2000-334176)

(22)出願日

平成12年11月1日 (2000.11.1)

(71)出願人 000006220

ミツミ電機株式会社

東京都調布市国領町8丁目8番地2

(72)発明者 鈴木 雅之

神奈川県厚木市酒井1601 ミツミ電機株式
会社厚木事業所内

(74)代理人 100071272

弁理士 後藤 洋介 (外1名)

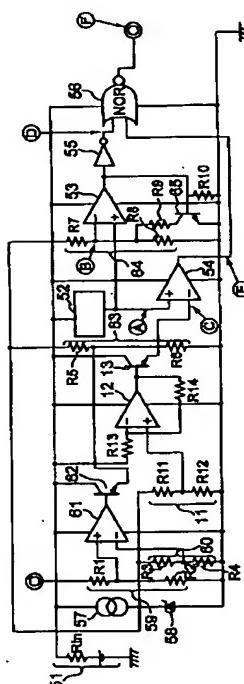
Fターム(参考) 5H730 BB11 BB57 FD01 FD11 FF02
FG05

(54)【発明の名称】 DC／DC回路

(57)【要約】

【課題】 出力電圧が低下しても、安定動作に必要な入力電圧を維持することができるDC／DC回路を提供することを目的とする。

【解決手段】 出力電圧のデューティを決定する参照電圧(C)を生成するための抵抗R6に流れる電流を、入力電圧VAが所定値以下になった場合に増加させるよう、分圧回路15、演算增幅器12、トランジスタ13、及び抵抗R13、R14を接続する。分圧回路11は、基準電圧を発生する。演算增幅器12は、基準電圧と入力電圧VAとから、入力電圧と所定値との差に応じた出力電圧を出し、トランジスタ13を通じて抵抗R6を流れる電流を増加させる。これにより参照電圧が上昇し、出力電圧のデューティが小さくなる。



【特許請求の範囲】

【請求項1】 直流入力電圧をパルス状の出力電圧に変換するDC/DC回路であって、前記出力電圧が高くなる程そのデューティを小さくし、前記出力電圧が低くなる程前記デューティを大きくするように構成されたDC/DC回路において、

前記直流入力電圧が所定値以下となった場合には、前記入力電圧が低くなる程前記デューティを小さくするようにしたことを特徴とするDC/DC回路。

【請求項2】 前記出力電圧が、前記所定値とは異なる別の所定値より低くなった場合に、前記デューティを最大デューティに固定し、前記別の所定値よりさらに前記出力電圧が低下した場合に、前記直流入力電圧が前記所定値以下となって、前記デューティを小さくするようにしたことを特徴とする請求項1のDC/DC回路。

【請求項3】 直流入力電圧をパルス状の出力電圧に変換するDC/DC回路であって、参照電圧によって決まるデューティを持つ前記出力電圧を発生する出力電圧発生部と、前記出力電圧の変化に従って前記参照電圧を変化させる帰還部とを備えたDC/DC回路において、前記直流入力電圧が所定値以下の場合に、その低下に伴って前記参照電圧を増大させるための調整部を設けたことを特徴とするDC/DC回路。

【請求項4】 前記出力電圧発生部が、所定周期の三角パルス電圧を発生する発振器と、前記三角パルス電圧と前記参照電圧とを比較する比較器とを有し、該比較器の出力に応じて前記デューティを決定するようにしたことを特徴とする請求項3のDC/DC回路。

【請求項5】 前記調整部が、前記直流入力電圧と基準電圧との差に応じた電圧を発生する演算增幅器と、該演算增幅器の出力に応じた電流を流すためのトランジスタとを含み、前記参照電圧を発生させるための抵抗に流れ電流を変化させることにより前記参照電圧を変化させるようにしたことを特徴とする請求項3または4のDC/DC回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、DC/DC回路（コンバーター）に関する。

【0002】

【従来の技術】 従来のDC/DC回路として、図5に示すようなものがある。

【0003】 図5に示すDC/DC回路は、入力抵抗（内部抵抗） R_{in} を有する直流電源回路（バッテリー）51によって駆動され、三角パルス電圧（A）を発生する発振器（OSC）52と、三角パルス電圧と第1の参照電圧（B）とを比較する第1の比較器53と、三角パルス電圧と第2の参照電圧（C）とを比較する第2の比較器54と、第1の比較器53の出力を反転し、反転出力（D）を出力するNOT回路55と、反転出力（D）

と第2の比較器54の出力（E）との論理和の否定をこのDC/DC回路の出力電圧（F）（論理レベル）とするNOR回路56とを有している。

【0004】 また、このDC/DC回路は、定電流を発生させるための定電流源57及びツエナーダイオード58、出力電圧VB（出力電圧（F）のハイレベル電圧）を分圧するための第1の分圧回路59を構成する抵抗R1及びR2、定電流源57及びツエナーダイオード58により生成された定電流から第1の基準電圧を生成するための第2の分圧回路60を構成する抵抗R3及びR4、第1の分圧回路59で分圧された電圧と第2の分圧回路60で分圧された電圧との差に応じた出力電圧を発生する第1の演算增幅器61、第1の演算增幅器61の出力電圧に応じた電流を発生するためのトランジスタ62、定電流を利用して第2の参照電圧を発生するための第3の分圧回路63を構成する抵抗R5及びR6、同じく定電流を利用して第1の参照電圧を発生するための第4の分圧回路64を構成する抵抗R7及びR8、及び、第1の比較器53の出力に応じて第1の参照電圧の値を変化させるための抵抗R9及びR10とトランジスタ65を有している。

【0005】 なお、発振器52、第1の比較器53、第2の比較器54、NOT回路55、NOR回路56、第3の分圧回路63、第4の分圧回路64、抵抗R9及びR10、及びトランジスタ65は、第1及び第2の参照電圧によって決まるデューティを持つ出力電圧（F）を発生する出力電圧発生部として働く。また、第1の分圧回路59、第2の分圧回路60、第1の演算增幅器61、及びトランジスタ62は、出力電圧VBの変化に従って第2の参照電圧を変化させる帰還部として働く。ここで、定電流源57及びツエナーダイオード58は、出力電圧発生部及び帰還部の双方において利用される。

【0006】 次に、このDC/DC回路の動作について、図5に加え図6をも参照して説明する。

【0007】 まず、直流電源回路51から入力電圧VAが与えられると、発振器52は、図6に示すような所定周期の三角パルス電圧（A）を発生する。発振器52から出力された三角パルス電圧（A）は、2分岐され、第1の比較器53及び第2の比較器54の正相入力端子にそれぞれ供給される。

【0008】 一方、定電流源57は、ツエナーダイオード58とともに、第2乃至第4の分圧回路60、63及び64に一定の電流を流す。その結果、各分圧回路60、63及び64を構成する2つの抵抗の接続点には、定電圧が発生する（なお、後述するように、分圧回路63及び64の接続点における電圧は変化するため、正確には定電圧ではない。）。

【0009】 三角パルス電圧（A）が入力された第1の比較器53では、三角パルス電圧（A）の値が上昇して、第1の参照電圧（B）の値に等しくなると、第1の

比較器53の出力がハイレベルからローレベルへと変化する。このとき、トランジスタ65がオンして、第1の参照電圧(B)がローレベルに変化するので、三角パルス電圧(A)が最低電圧付近にまで減少するまで、第1の比較器53の出力はローレベルを保つ。やがて、三角パルス電圧(A)の値が、ローレベルの第1の参照電圧(B)より低くなると、第1の比較器53の出力は、ローレベルからハイレベルへと変化する。同時にトランジスタ65はオフし、第1の参照電圧(B)は元の値(ハイレベル)に戻る。つまり、第1の比較器53に入力される第1の参照電圧(B)は、入力された三角パルス電圧(A)の変化に従って、図6(a)に示すように変化する。そして、第1の比較器53の出力は、NOT回路55で反転され、図6(b)に示すような、三角パルス電圧(A)と等しい周期を持つ、一定のパルス幅を持つパルス列となる。

【0010】同じく三角パルス電圧(A)が入力された第2の比較器54でも、第1の比較器53と同様に、三角パルス電圧(A)が第2の参照電圧(C)に一致すると、その出力はハイレベルからローレベルへと変化し、三角パルス電圧(A)が第2の参照電圧(C)よりも低くなると、その出力はローレベルからハイレベルへと変化する。

【0011】ここで、第1の分圧回路59で分割された電圧が、第1の基準電圧よりも低い場合(即ち、出力電圧VBが第1の所定値よりも低い場合)には、第1の演算増幅器61からの出力がトランジスタ62をオフさせるのに十分な値となるので、第2の参照電圧(C)は、定電流の値と第3の分圧回路63とによってのみ決まる。したがって、この場合、第2の比較器54に入力される第2の参照電圧は、図6(c)の左側に示すように、一定値となり、その出力(E)は、図6(d)の左側に示すように、一定のパルス幅を持つパルス列となる。

【0012】これに対して、第1の分圧回路59で分割された電圧が、第1の基準電圧以上の場合(即ち、出力電圧VBが第1の所定値以上の場合)には、第1の演算増幅器61が、2つの入力の差に応じた出力電圧をトランジスタ62に供給する。これにより、トランジスタ62は、第1の演算増幅器61への入力の差に応じた電流を第3の分圧回路63に供給する。その結果、第1の基準電圧は、図6(c)の右側に示すように、出力電圧VBの値に応じて高くなり、第2の比較器54の出力(E)は、図6(d)の右側に示すように、第1の基準電圧の高さに従ってそのパルス幅が広くなる。

【0013】次に、NOR回路56は、NOT回路55からの出力と第2の比較器54からの出力の論理和の否定を出力する。つまり、図6(e)に示すように、出力電圧VBが高い場合には、出力電圧(F)のデューティを小さくし、出力電圧VBが低い場合には、出力電圧

(F)のデューティを大きくする。また、出力電圧VBが第1の所定値を下回った場合には、最大デューティの出力電圧(F)を発生する。なお、デューティとは、出力電圧(F)の一周期(三角パルス電圧の一周期に相当)中、ハイレベル時間の割合をいう。

【0014】以上のように、従来のDC/DC回路では、出力電圧の変化に応じて、そのデューティを変更することにより、電流の供給を制御して、安定した電力の供給を行なうようにしている。なお、出力電圧の変化は、例えば負荷の変動等により生じる。

【0015】

【発明が解決しようとする課題】従来のDC/DC回路では、上述したように、出力電圧が低下してある値以下になると、そのデューティが、定電流源と分圧回路によって決まる最大値となる。このとき、直流電源回路51から供給される入力電流は最大となり、入力抵抗によって消費される電力も最大となる。つまり、出力電圧が低下すると入力電圧も低下する。ここで、バッテリーが消耗している場合には、入力抵抗が大きくなるので、そこで消費される電力が大きくなり、入力電圧の低下も大きくなる。そして、最悪の場合には、このDC/DC回路の安定動作に必要な入力電圧が得られなくなる可能性がある。

【0016】このように、従来のDC/DC回路には、負荷の増大などによって、安定動作に必要な入力電圧を得ることができなくなる場合があり、動作が不安定となり異常な動作を行なう可能性があるという問題点がある。

【0017】そこで、本発明は、出力電圧が低下しても、安定動作に必要な入力電圧を維持することができるDC/DC回路を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明によれば、直流入力電圧をパルス状の出力電圧に変換するDC/DC回路であって、前記出力電圧が高くなる程そのデューティを小さくし、前記出力電圧が低くなる程前記デューティを大きくするように構成されたDC/DC回路において、前記直流入力電圧が所定値以下となった場合には、前記入力電圧が低くなる程前記デューティを小さくするようにしたことを特徴とするDC/DC回路が得られる。

【0019】また、本発明によれば、直流入力電圧をパルス状の出力電圧に変換するDC/DC回路であって、参照電圧によって決まるデューティを持つ前記出力電圧を発生する出力電圧発生部(52, 53, 54, 55, 56, 57, 58, 63, 64, 65, R9, R10)と、前記出力電圧の変化に従って前記参照電圧を変化させる帰還部(57, 58, 59, 60, 61, 62)とを備えたDC/DC回路において、前記直流入力電圧が所定値以下の場合に、その低下に伴って前記参照電圧を増大させるための調整部(11, 12, 13, R13,

R14)を設けたことを特徴とするDC/DC回路が得られる。

【0020】具体的には、前記出力電圧発生部が、三角パルス電圧を発生する発振器(52)と、前記三角パルス電圧と前記参照電圧とを比較する比較器(54)とを有し、該比較器(54)の出力に応じて前記デューティを決定するようしている。また、前記調整部が、前記直流入力電圧と基準電圧との差に応じた電圧を発生する演算增幅器(12)と、該演算增幅器(12)の出力に応じた電流を流すためのトランジスタ(13)とを含み、前記参照電圧を発生させるための抵抗(R6)に流れる電流を変化させることにより前記参照電圧を変化させるようにしている。

【0021】なお、上記括弧内の参照符号は、理解を容易にするために付したものであり、一例に過ぎず、図示の態様に限定するものではない。

【0022】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について詳細に説明する。ここで、従来と同一のものには同一の参考番号を付し、その説明を省略する。

【0023】図1に、本発明の第1の実施の形態に係るDC/DC回路を示す。このDC/DC回路は、従来の構成に加え、入力電圧の変化に応じて第2の参照電圧を変化させる調整部として、第2の基準電圧を発生する第5の分圧回路R11を構成する抵抗R11及びR12と、直流電源回路53に接続された抵抗R13と、逆相入力端子が抵抗R13に接続されかつ正相入力端子が第5の分圧回路R11の2つの抵抗R11とR12の接続点に接続された第2の演算增幅器12と、第2の演算增幅器12の出力端子と逆相入力端子との間に接続された抵抗R14と、コレクタが電源回路53に接続され、エミッタが第3の分圧回路の2つの抵抗R5とR6の接続点に接続され、ベースが第2の演算增幅器12の出力端子に接続されたトランジスタ13とを有している。

【0024】次に、このDC/DC回路の動作について説明する。

【0025】入力電圧VAが、第2の基準電圧によって定まる第2の所定値以上の場合は、このDC/DC回路は、従来のDC/DC回路と同様に動作する。即ち、出力電圧VBが第1の所定値以上の場合は、出力電圧VBが高いほど出力電圧(F)のデューティを小さくし、出力電圧VBが低いほどそのデューティを大きくするように動作する。また、出力電圧VBが第1の所定値より低い場合には、最大デューティを有する出力電圧(F)を発生する。

【0026】入力電圧VAが、第2の基準電圧によって定まる第2の所定値より低い場合(これは、例えば、直流電源回路51の立ち上げ時や、負荷の増大時などに生じ易く、出力電圧VBが第1の所定値を大きく下回って

いる場合である。)は、第2の演算增幅器12は、入力電圧VAと第2の所定値との差に応じた電圧を発生する。これにより、トランジスタ13のコレクタ・エミッタ間に電流が流れ、抵抗R6を流れる電流が増加する。その結果、第2の参照電圧(C)が上昇し、出力電圧(F)のデューティは、最大デューティよりも小さくなる。この結果、入力電流が低下し、入力電圧VAが上昇する。こうして、DC/DC回路が安定動作を行なうために必要な入力電圧を維持する。このあと、出力電圧VBが上昇すれば正常な動作に復帰する。

【0027】図2に、入力電圧VAと第2の参照電圧(C)との関係を示す。図2において、入力電圧VAが、第2の所定値以上の場合は、第2の参照電圧(C)は、一定である。これは、出力電圧VBが第1の所定値より低い範囲のみを示しているからである。また、入力電圧VAが、第2の所定値を下回った場合は、その低下に伴い、第2の参照電圧(C)は上昇している。なお、従来のDC/DC回路では、一点鎖線で示すように第2の参照電圧(C)は、一定である。

【0028】次に、図3を参照して、本発明の第2の実施の形態について説明する。

【0029】このDC/DC回路は、図1の回路と比べると、第2の参照電圧(C)を生成するための抵抗R5と、第2の演算增幅器12の逆相入力端子と出力端子とを接続する抵抗R14とを有しておらず、第2の演算增幅器12の逆相入力端子を抵抗R6に接続する抵抗R15を有している点で異なっている。

【0030】図3のDC/DC回路の動作は、図1の回路の動作と基本的には同じである。ただし、第2の参照電圧(C)を生成するために、定電流源57からの定電流を利用しておらず、直流電源回路51からの入力電圧VAを利用しているようにしているので、入力電圧VAが低下するとそれに従い第2の参照電圧(C)も低下する。

【0031】図3のDC/DC回路における、入力電圧VAと、第2の参照電圧(C)、第2の演算增幅器12の逆相入力端子への入力電圧(I)、及び第2の演算增幅器12の正相入力端子への入力電圧(第2の基準電圧(H))との関係を図4に示す。

【0032】図4に示すように、入力電圧VAが、第2の所定値より高い場合は、入力電圧VAが低くなるほど、第2の演算增幅器12の逆相入力端子への入力電圧(I)も低くなり、また、第2の参照電圧(C)も低くなる。これに対して、入力電圧VAが、第2の所定値以下の場合は、入力電圧VAが低くなるほど、第2の参照電圧(C)が高くなっている。また、第2の演算增幅器12の逆相入力端子への入力電圧(I)は、図4の例では、一定になっている。

【0033】本実施例では、入力電圧VAが高いとき、第2の参照電圧(C)が、図4に一点鎖線で示す従来のものより高くなっている。そのため、出力電圧(F)の

デューティが従来よりも低下する。しかしながら、これは、入力電圧 V_A が第2の所定値よりも高い場合に生じるので、(負荷電流の大きさにもよるが)効率への影響は、ほとんどない。

【0034】本実施の形態においても、入力電圧 V_A が、第2の所定値より低くなると、出力電圧(F)のデューティが、小さくなり、入力電流が低下して、入力電圧 V_A を上昇する。これにより、出力電圧 V_B が上昇すれば、正常な動作に復帰する。

【0035】

【発明の効果】本発明によれば、入力電圧が所定値以下になると出力電圧のデューティを小さくし、入力電流を減少させるようにしたことで、出力電圧が低下したばあいであっても、安定動作に必要な入力電圧を維持することができるDC/DC回路が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るDC/DC回路の回路図である。

【図2】図1のDC/DC回路における入力電圧 V_A と第2の参照電圧(C)との関係を示すグラフである。

【図3】本発明の第2の実施の形態に係るDC/DC回路の回路図である。

【図4】図3のDC/DC回路における入力電圧 V_A と、第2の参照電圧(C)、演算増幅器12の逆相入力端子への入力電圧(I)、及び演算増幅器12の正相

入力端子への入力電圧(H)との関係を示すグラフである。

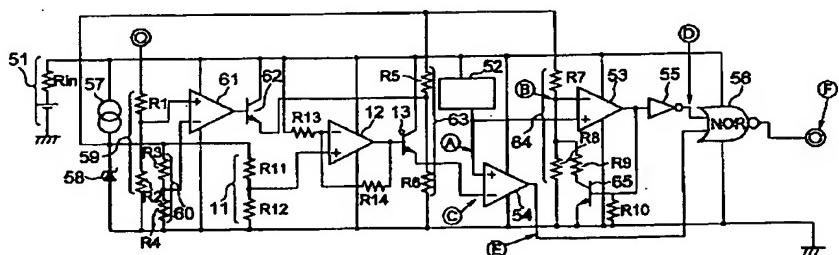
【図5】従来のDC/DC回路の回路図である。

【図6】図5のDC/DC回路の動作を説明するための各部の電圧波形を示す図である。

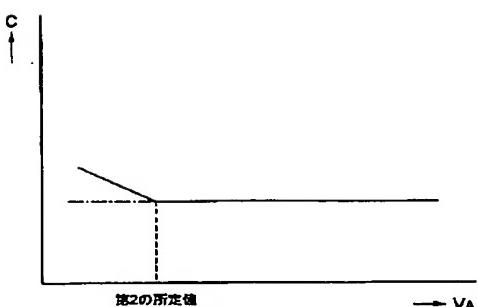
【符号の説明】

1 1	第5の分圧回路
1 2	第2の演算増幅器
1 3	トランジスタ
5 1	直流電源回路
5 2	発振器
5 3	第1の比較器
5 4	第2の比較器
5 5	NOT回路
5 6	NOR回路
5 7	定電流源
5 8	ツェナーダイオード
5 9	第1の分圧回路
6 0	第2の分圧回路
6 1	第1の演算増幅器
6 2	トランジスタ
6 3	第3の分圧回路
6 4	第4の分圧回路
6 5	トランジスタ
R 1 ~ R 15	抵抗

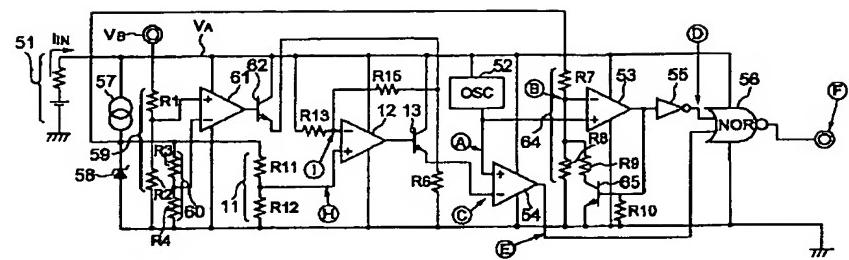
【図1】



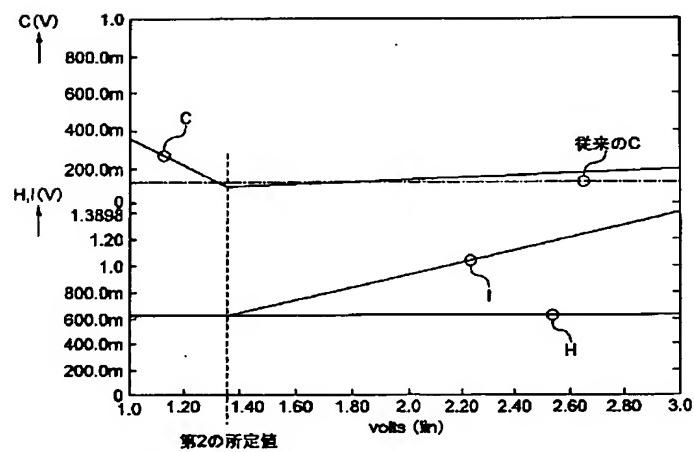
【図2】



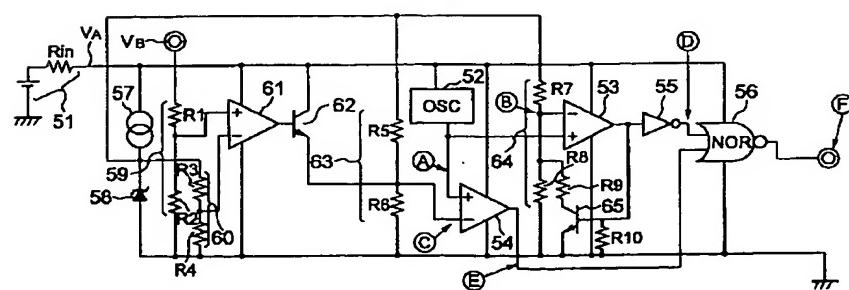
【図3】



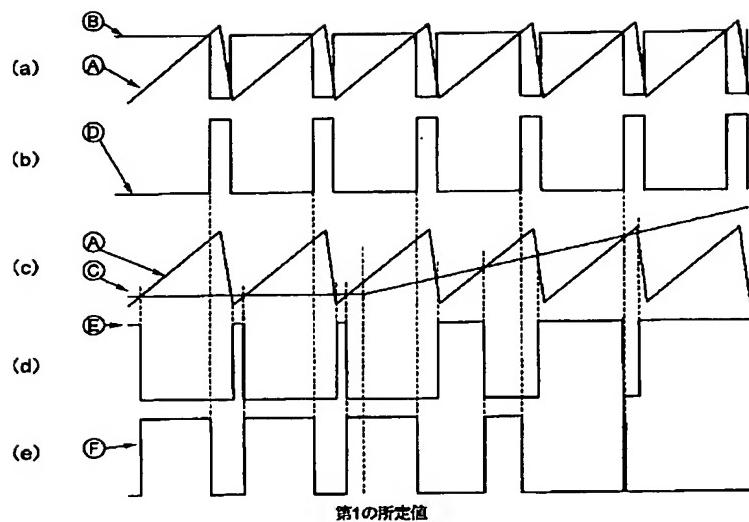
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.